

SEMICONDUCTOR STORAGE DEVICE

Patent Number: JP9275193
Publication date: 1997-10-21
Inventor(s): NISHIOKA YASUTAKA
Applicant(s): MITSUBISHI ELECTRIC CORP
Requested Patent: ☐ JP9275193
Application Number: JP19960081626 19960403
Priority Number(s):
IPC Classification: H01L27/108; H01L21/8242; H01L21/28; H01L21/768
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To reduce the aspect ratio of a contact hole, and facilitate processes of the flattening of a substratum, the forming of a contact hole and the burying of a contact hole, by connecting an electrode part with a conducting part by using a connection part buried in a second interlayer insulating film.

SOLUTION: Since a wiring part 4a is formed on a first interlayer insulating film 3, step-difference on a second insulating film 8 can be reduced when the second interlayer insulating film 8 is formed. A storage contact plug 7 for connecting a capacitor lower part electrode 4 with a semiconductor substrate 1 can be formed simultaneously to a storage contact plug 7 for connecting the wiring part 4a with the semiconductor substrate 1, so that manufacturing process can be reduced. By forming the wiring part 4a, the depth of the contact hole can be remarkably reduced, so that the working of contact is facilitated and burying also easily enabled.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-275193

(43) 公開日 平成9年(1997)10月21日

(51) Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108			H 0 1 L 27/10	6 2 1
21/8242			21/28	3 0 1 R
21/28	3 0 1		21/90	B
21/768				C
			27/10	6 5 1

審査請求 未請求 請求項の数12 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願平8-81626

(22) 出願日 平成8年(1996)4月3日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 西岡 康隆

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

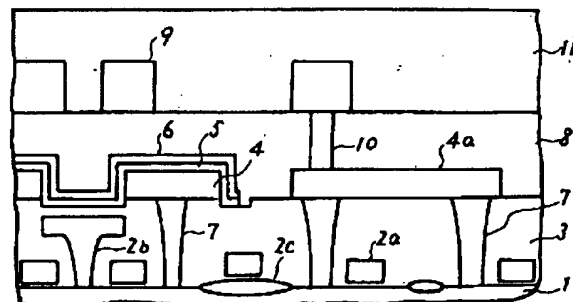
(74) 代理人 弁理士 大岩 増雄

(54) 【発明の名称】 半導体記憶装置及びその製造方法

(57) 【要約】

【課題】 この発明は、コンタクトホールのアスペクト比が小さく、下地平坦化、コンタクトホール形成、コンタクトホール埋め込みの各プロセスが容易であり、また、工程数の少ない半導体記憶装置及びその製造方法を提供することを目的とする。

【解決手段】 この発明にかかる半導体記憶装置は、半導体基板と、この半導体基板上に形成された半導体素子と、半導体基板上に形成された第1の層間絶縁膜と、この第1の層間絶縁膜上に形成された記憶容量素子及び導電部と、この記憶容量素子及び導電部と半導体基板とを接続させる接続部と、記憶容量素子と電極部上に形成された第2の層間絶縁膜と、この第2の層間絶縁膜上に形成された電極部と、第2の層間絶縁膜中に埋設され、電極部と導電部とを接続させる接続部とを備えたものである。



- 1: 半導体基板 3: 第1の層間絶縁膜 6: キヤパシタ部電極
 2a: トランジスタ電極 4: キヤパシタ部電極 7: ストロンゴグラフ
 2b: ヒット線 4a: 配線部 8: 第2の層間絶縁膜
 2c: 素子分離層 5: キヤパシタ部電極膜 9: 第1のAL配線
 10: 第1コンタクトプラグ

【特許請求の範囲】

【請求項 1】 半導体基板と、前記半導体基板上に形成された半導体素子と、前記半導体基板上に形成された第 1 の層間絶縁膜と、前記第 1 の層間絶縁膜上に形成された記憶容量素子及び導電部と、前記記憶容量素子と前記導電部上に形成された第 2 の層間絶縁膜と、前記第 2 の層間絶縁膜上に形成された電極部と、前記第 2 の層間絶縁膜中に埋設され、前記電極部と前記導電部とを接続する接続部とを備えたことを特徴とする半導体記憶装置。

【請求項 2】 半導体基板と、前記半導体基板上に形成された半導体素子と、前記半導体基板上に形成された第 1 の層間絶縁膜と、前記第 1 の層間絶縁膜上に形成された記憶容量素子及び導電部と、前記第 1 の層間絶縁膜中に埋設され、前記記憶容量素子及び前記導電部と前記半導体基板とを接続させる接続部と、前記記憶容量素子と前記導電部上に形成された第 2 の層間絶縁膜とを備えたことを特徴とする半導体記憶装置。

【請求項 3】 半導体基板と、前記半導体基板上に形成された半導体素子と、前記半導体基板上に形成された第 1 の層間絶縁膜と、前記第 1 の層間絶縁膜上に形成された記憶容量素子及び導電部と、前記第 1 の層間絶縁膜中に埋設され、前記記憶容量素子及び前記導電部と前記半導体基板とを接続させる接続部と、前記記憶容量素子と前記電極部上に形成された第 2 の層間絶縁膜と、前記第 2 の層間絶縁膜上に形成された電極部と、前記第 2 の層間絶縁膜中に埋設され、前記電極部と前記導電部とを接続させる接続部とを備えたことを特徴とする半導体記憶装置。

【請求項 4】 導電部は、層間絶縁膜中に埋設されている複数の接続部を接続する配線部であることを特徴とする請求項 1～3 のいずれか 1 項記載の半導体記憶装置。

【請求項 5】 記憶容量素子の電極材料、導電部、及び接続部の少なくとも 1 つを形成している材料は、複数の材料を積層させたものまたは複数の材料の複合体であることを特徴とする請求項 1～4 のいずれか 1 項記載の半導体記憶装置。

【請求項 6】 記憶容量素子の電極材料、導電部、及び接続部の少なくとも 1 つは、金属材料で形成されていることを特徴とする請求項 5 記載の半導体記憶装置。

【請求項 7】 記憶容量素子の電極材料、導電部、及び接続部の少なくとも 1 つを形成している金属材料は、アルミニウム、銅、コバルト、白金、ルテニウム、タングステン、イリジウム、チタンの少なくともいずれか 1 つであることを特徴とする請求項 6 記載の半導体記憶装置。

【請求項 8】 記憶容量素子の電極材料、導電部、及び接続部の少なくとも 1 つを形成している材料は、不純物を導入させた多結晶シリコン、二酸化ルテニウム、二酸化インジウム、窒化チタンの少なくともいずれか 1 つであることを特徴とする請求項 5 記載の半導体記憶装置。

【請求項 9】 半導体基板上に半導体素子を形成する工程と、前記半導体素子上に第 1 の層間絶縁膜を形成する工程と、前記第 1 の層間絶縁膜中に第 1 の貫通孔を設け、前記第 1 の貫通孔に第 1 の導電体を埋設する工程と、前記第 1 の層間絶縁膜上に金属膜を形成し、この金属膜上の前記貫通孔を覆う部分に第 1 のマスクを形成するマスク形成工程と、前記第 1 のマスクを形成した部分を残して前記金属膜を除去し、導電部と記憶容量素子の下部電極を形成する金属膜除去工程と、前記導電部に第 2 のマスクを形成させ、前記記憶容量素子の下部電極上の第 1 のマスクを除去し、その後第 2 のマスクを除去するマスク除去工程と、前記導電部、前記記憶容量素子の下部電極及び前記第 1 の層間絶縁膜上に誘電体膜を形成し、前記誘電体膜上に電極膜を形成する工程と、前記導電部及び前記第 1 の層間絶縁膜上の前記誘電体膜及び前記電極膜を除去し、記憶容量素子を形成する記憶容量素子形成工程と、前記導電部、前記記憶容量素子及び前記第 1 の層間絶縁膜上に第 2 の層間絶縁膜を形成する層間絶縁膜形成工程とを含むことを特徴とする半導体記憶装置の製造方法。

【請求項 10】 マスク除去工程は、第 1 のマスクを除去する工程であり、記憶容量素子形成工程は、第 1 の層間絶縁膜上の誘電体膜及び電極膜を除去し、記憶容量素子を形成する工程であることを特徴とする請求項 9 記載の半導体記憶装置の製造方法。

【請求項 11】 層間絶縁膜形成工程は、導電部、記憶容量素子及び第 1 の層間絶縁膜上に第 2 の層間絶縁膜を形成する工程と、前記導電部を前記第 2 の層間絶縁膜の一面に開口する第 2 の貫通孔を前記第 2 の層間絶縁膜中に形成する工程と、前記第 2 の貫通孔に第 2 の導電体を埋設する工程と、前記第 2 の層間絶縁膜上の第 2 の導電体上に電極を形成する工程とを含むことを特徴とする請求項 9 または請求項 10 記載の半導体記憶装置の製造方法。

【請求項 12】 導電部は、複数の貫通孔に埋設された導電体を接続する配線部であることを特徴とする請求項 9～11 のいずれか 1 項記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、ダイナミック型ランダムアクセスメモリ（DRAM）に関するものである。

【0002】

【従来の技術】 図 9 は従来の半導体記憶装置の断面構造図である。図において、1 は半導体基板、2 a、2 b、2 c は半導体基板 1 上に設けられたトランジスタゲート電極、ビット線、素子分離層である。3 はトランジスタゲート電極 2 a、ビット線 2 b、素子分離層 2 c 上に設けられた第 1 の層間絶縁膜、4 は第 1 の層間絶縁膜 3 上

に設けられたキャパシタ下部電極、5はキャパシタ誘電体膜、6はキャパシタ上部電極、7は第1の層間絶縁膜3中に設けられたストレージコンタクトプラグ、8はキャパシタ上部電極6及び第1の層間絶縁膜3上に設けられた第2の層間絶縁膜である。9は第2の層間絶縁膜8上に設けられた第1のA1配線、10はこの第1のA1配線9と半導体基板1を結ぶ第1コンタクトプラグ、11は第1のA1配線9及び第2の層間絶縁膜8上に設けられた第3の層間絶縁膜である。

【0003】次に、従来の半導体記憶装置の製造方法を説明する。半導体基板1上にトランジスタゲート電極2a、ビット線2b、素子分離層2cを設けた後に、第1の層間絶縁膜3を形成する。そして、第1の層間絶縁膜3中にキャパシタ下部電極4と半導体基板1とを接続させるためのストレージコンタクトホールを開孔し、誘電体を埋め込みストレージコンタクトプラグ7を形成する。次に第1の層間絶縁膜3上に金属膜を成膜し、エッチングによりキャパシタの部分以外の金属膜を除去してキャパシタ下部電極4を形成する。次に、キャパシタ誘電体膜5、キャパシタ上部電極6を成膜し、キャパシタ部以外のキャパシタ誘電体膜5、キャパシタ上部電極6を除去してキャパシタを形成する。キャパシタ形成後、第2の層間絶縁膜8を成膜する。この第2の層間絶縁膜8が形成された後、第1、第2の層間絶縁膜3、8中に第1のA1配線9と半導体基板1を接続させるためのコンタクトホールを開孔し、そのコンタクトホールに導電体を埋め込み第1コンタクトプラグ10を形成する。そして、第2の層間絶縁膜8上に第1のA1配線9を形成し、その上に第3の層間絶縁膜11を形成する。

【0004】また、図10は図9に示した従来の半導体記憶装置の第1のA1配線9が複数の第1コンタクトプラグ10と接続するように設けた従来の半導体記憶装置である。図において、12は第3の層間絶縁膜11上に設けられた第2のA1配線、13はこの第2のA1配線12と第1のA1配線9を結ぶ第2コンタクトプラグ、14は第2のA1配線12及び第3の層間絶縁膜11上に設けられた第4の層間絶縁膜である。

【0005】

【発明が解決しようとする課題】上記のような従来の半導体記憶装置は、デバイスの微細化が進行すると、各部の平面レイアウトは縮小されていくがデバイスの縦方向の構造に関しては電気特性の点などから縮小できないため、デバイスの表面段差は縦構造の寸法から見ると相対的に大きくなっている。特にコンタクトホールの開孔に関しては、256メガビット以上の集積度を持つDRAMのレベルではコンタクトのアスペクト比（開孔径に対する相対的なコンタクトの深さ）は7から8にも達し、段差低減のためのデバイス表面平坦化のプロセスを追加すると更に10程度まで悪化することが懸念されている。そのため、コンタクトホールの開孔が困難になるだ

けでなく開孔したコンタクトホールの埋め込みにも支障をきたしている。

【0006】また、回路構成が複雑かつ微細化されるにつれて配線層の数が増加する傾向にあり、更なる段差の増大や工程数の増加によるコストの増加が深刻な問題となっている。一方、容量キャパシタも微細化に伴い縮小化されているが、世代を問わず確保すべき容量は一定であるため、微小な領域に高容量を確保するためキャパシタ誘電体膜を従来の酸化シリコン膜やシリコン窒化膜に代えてより誘電率の高い材料（例えば、ジルコニウムチタン酸鉛/PZTやストロンチウムチタン酸バリウム/BST）に変更することが検討されており、この場合従来キャパシタ下部電極として用いられていたポリシリコンが使えないため、白金やルテニウム、イリジウムなどの安定な金属材料をキャパシタ下部電極として適用する事が検討されている。

【0007】この発明は、かかる問題点を解決するためになされたもので、コンタクトホールのアスペクト比が小さく、下地平坦化、コンタクトホール形成、コンタクトホール埋め込みの各プロセスが容易であり、また、工程数の少ない半導体記憶装置及びその製造方法を提供することを目的としている。

【0008】

【課題を解決するための手段】この発明にかかる半導体記憶装置においては、半導体基板と、この半導体基板上に形成された半導体素子と、半導体基板上に形成された第1の層間絶縁膜と、この第1の層間絶縁膜上に形成された記憶容量素子及び導電部と、この記憶容量素子と導電部上に形成された第2の層間絶縁膜と、この第2の層間絶縁膜上に形成された電極部と、第2の層間絶縁膜中に埋設され、電極部と導電部とを接続する接続部とを備えたものである。また、半導体基板と、この半導体基板上に形成された半導体素子と、半導体基板上に形成された第1の層間絶縁膜と、この第1の層間絶縁膜上に形成された記憶容量素子及び導電部と、第1の層間絶縁膜中に埋設され、記憶容量素子及び導電部と半導体基板とを接続させる接続部と、記憶容量素子と導電部上に形成された第2の層間絶縁膜とを備えたものである。

【0009】さらに、半導体基板と、この半導体基板上に形成された半導体素子と、半導体基板上に形成された第1の層間絶縁膜と、この第1の層間絶縁膜上に形成された記憶容量素子及び導電部と、第1の層間絶縁膜中に埋設され、記憶容量素子及び導電部と半導体基板とを接続させる接続部と、記憶容量素子と電極部上に形成された第2の層間絶縁膜と、この第2の層間絶縁膜上に形成された電極部と、第2の層間絶縁膜中に埋設され、電極部と導電部とを接続させる接続部とを備えたものである。また、導電部は、層間絶縁膜中に埋設されている複数の接続部を接続する配線部である。さらに、記憶容量素子の電極材料、導電部、及び接続部の少なくとも1つ

を形成している材料は、複数の材料を積層させたものまたは複数の材料の複合体である。

【0010】また、記憶容量素子の電極材料、導電部、及び接続部の少なくとも1つは、金属材料で形成されている。さらに、記憶容量素子の電極材料、導電部、及び接続部の少なくとも1つを形成している金属材料は、アルミニウム、銅、コバルト、白金、ルテニウム、タングステン、イリジウム、チタンの少なくともいずれか1つである。さらにまた、記憶容量素子の電極材料、導電部、及び接続部の少なくとも1つを形成している材料は、不純物を導入させた多結晶シリコン、二酸化ルテニウム、二酸化インジウム、窒化チタンの少なくともいずれか1つである。

【0011】この発明にかかる半導体記憶装置の製造方法においては、半導体基板上に半導体素子を形成する工程と、この半導体素子上に第1の層間絶縁膜を形成する工程と、この第1の層間絶縁膜中に第1の貫通孔を設け、この第1の貫通孔に第1の導電体を埋設する工程と、第1の層間絶縁膜上に金属膜を形成し、この金属膜上の貫通孔を覆う部分に第1のマスクを形成するマスク形成工程と、この第1のマスクを形成した部分を残して金属膜を除去し、導電部と記憶容量素子の下部電極を形成する金属膜除去工程と、この導電部に第2のマスクを形成させ、記憶容量素子の下部電極上の第1のマスクを除去し、その後第2のマスクを除去するマスク除去工程と、導電部、記憶容量素子の下部電極及び第1の層間絶縁膜上に誘電体膜を形成し、この誘電体膜上に電極膜を形成する工程と、導電部及び第1の層間絶縁膜上の誘電体膜及び電極膜を除去し、記憶容量素子を形成する記憶容量素子形成工程と、導電部、記憶容量素子及び第1の層間絶縁膜上に第2の層間絶縁膜を形成する層間絶縁膜形成工程とを含むものである。

【0012】また、マスク除去工程は、第1のマスク除去する工程であり、記憶容量素子形成工程は、第1の層間絶縁膜上の誘電体膜及び電極膜を除去し、記憶容量素子を形成する工程である。さらに、層間絶縁膜形成工程は、導電部、記憶容量素子及び第1の層間絶縁膜上に第2の層間絶縁膜を形成する工程と、導電部を第2の層間絶縁膜の一面に開口する第2の貫通孔を第2の層間絶縁膜中に形成する工程と、この第2の貫通孔に第2の導電体を埋設する工程と、第2の層間絶縁膜上の第2の導電体上に電極を形成する工程とを含むものである。さらにまた、導電部は、複数の貫通孔に埋設された導電体を接続する配線部である。

【0013】

【発明の実施の形態】

実施の形態1. 図1は本実施の形態の半導体記憶装置の断面図である。図において、1は半導体基板、2a、2b、2cは半導体基板1上に設けられたトランジスタゲート電極、ビット線、素子分離層である。3はトランジ

スタゲート電極2a、ビット線2b、素子分離層2c上に設けられた第1の層間絶縁膜、4は第1の層間絶縁膜3上に設けられルテニウム等の金属で形成されたキャパシタ下部電極、4aは第1の層間絶縁膜3上に設けられた配線部、5はキャパシタ誘電体膜、6はキャパシタ上部電極、7は半導体基板1とキャパシタ下部電極4を接続するために第1の層間絶縁膜3中に設けたストレージコンタクトプラグ、8は配線部4a、キャパシタ上部電極6及び第1の層間絶縁膜3上に設けられた第2の層間絶縁膜である。9は第2の層間絶縁膜8上に設けられた第1のA1配線、10は配線部4aと第1のA1配線9を接続させる第1コンタクトプラグ、11は第1のA1配線9及び第2の層間絶縁膜8上に設けられた第3の層間絶縁膜である。

【0014】通常ストレージコンタクトプラグ7には、ポリシリコン、タングステン、窒化チタン等が用いられている。ポリシリコンを用いると、通常リンなどがドーパされたN型半導体が使用できるため、N型のソース・ドレインを有するトランジスタやN型ポリシリコンを用いたゲート電極2aに対して直接良好な抵抗を確保して接続することができる。また、キャパシタ下部電極4に白金やルテニウム等の金属を用いると、これらの金属はポリシリコンと良好な界面を形成し、ストレージコンタクトプラグ7と低抵抗で接続することができる。更に、信頼性を確保するために金属電極とポリシリコンの間に窒化チタンなどの薄膜を形成してもよい。更に、ストレージコンタクトプラグ7に金属である窒化チタンやタングステン等を用いた場合、ポリシリコンを用いた場合に比べてP型のソース・ドレインを有するトランジスタやゲート電極のポリシリコン及び拡散領域の上部表面をチタンやコバルトなどのシリサイド金属に変え、コンタクトの抵抗を更に低減することができる。

【0015】本実施の形態では、第1の層間絶縁膜3上に配線部4aを設けているので、第2の層間絶縁膜8を形成する際に第2の層間絶縁膜8上の段差を少なくすることができる。さらに、第2の層間絶縁膜8上に配線部を形成することができるため、第1のA1配線9で形成する配線部を無くしたり、少なくすることができる。

【0016】実施の形態2. 図2は本実施の形態の半導体記憶装置の断面図である。本実施の形態は、図1に示した実施の形態1の半導体記憶装置ではストレージコンタクトプラグ7を半導体基板1とキャパシタ下部電極4を接続させていたのに対し、ストレージコンタクトプラグ7を半導体基板1とキャパシタ下部電極4、更に半導体基板1と配線部4aとを接続させるようにし、図1における第1コンタクトプラグ10を形成しないようにしたものである。

【0017】本実施の形態では、第1の層間絶縁膜3上に配線部4aを設けているので、第2の層間絶縁膜8を形成する際に第2の層間絶縁膜8上の段差を少なくする

ことができる。さらに、第2の層間絶縁膜8上に配線部を形成することができるため、第1のA1配線9で形成する配線部を無くしたり少なくすることができる。また、本実施の形態では、キャパシタ下部電極4と半導体基板1を接続させるストレージコンタクトプラグ7と配線部4aと半導体基板1を接続させるストレージコンタクトプラグ7とを同時に形成することができるため、製造工程を少なくすることができる。

【0018】実施の形態3。図3は本実施の形態の半導体記憶装置の断面図である。本実施の形態は、図1に示す実施の形態1と図2に示す実施の形態2を組み合わせたもので、図1、図2の配線部4aを引き出し電極部4bとし、半導体基板1とこの引き出し電極部4bをストレージコンタクトプラグ7で接続し、更に、この引き出し電極部4bと第1のA1配線9を第1コンタクトプラグ10で接続させたものである。また、図4は図3とは異なる本実施の形態の半導体記憶装置の断面図である。図4は図3に示した実施の形態3の引き出し電極部4bを配線部4aにしたものである。図において、配線部4aは図3の引き出し電極4bを相互に直接接続するような形で同時形成し、配線の一部として適用するものである。

【0019】本実施の形態では、配線部4aまたは引き出し電極部4bを形成することによりコンタクトホールを深くできるため、コンタクトの加工を容易にできるだけでなく、埋め込みも容易に行うことができる。また、従来多層の配線を必要とする領域において、そのうちの1層を配線部4bで代用することができるため、結果として図10の第2のA1配線12に相当する配線を形成する必要がなくなり、工程数の大幅な削減が可能となる。また、実施の形態1で述べた利点をそのまま合わせ持つため、結果としてコストの削減や工期の短縮に有効である。

【0020】実施の形態4。図5、図6は本実施の形態の半導体記憶装置の製造プロセスを示す図である。以下にこの発明の構造を作製するプロセスフローを図5に従って説明する。図5(a)に示すように、一般的な手法とプロセスフローに沿って、半導体基板1上にトランジスタゲート電極2a、ビット線2b、素子分離層2c等を作り込み、その上に第1の層間絶縁膜3を成膜する。その後、層間絶縁膜3中にキャパシタ下部電極と半導体基板を接続するためのコンタクトホールを開孔し、コンタクトホールに例えばN型ドーパントシリコン等の導電体を埋め込みストレージコンタクトプラグ7を形成する。

【0021】ストレージコンタクトプラグ7には、ポリシリコンの他、窒化チタンやタングステン等の金属材料を用いてもよい。ストレージコンタクトプラグ7に金属材料を用いた場合は金属材料と半導体基板1との境界部、ストレージコンタクトプラグ7にポリシリコンを用

いた場合は、ポリシリコンとキャパシタ下部電極4の境界部に適当な導電性バリア層（例えばストレージコンタクトプラグ7がタングステンならタングステンと半導体基板の境界に窒化チタン等）を必要に応じて形成してもよい。ストレージコンタクトプラグ7を金属材料で形成すると、ストレージコンタクトプラグ7にポリシリコンを用いた場合には、ポリシリコンは通常N型の不純物が拡散された状態で使用されるため、半導体基板1に対してもN型の拡散領域に限定して適用することになるが、ストレージコンタクトプラグ7を金属材料で形成することによりPNいずれの領域に対しても適用することができるようになる。

【0022】次に、図5(b)に示すように、ストレージコンタクトプラグ7を形成した第1の層間絶縁膜3上にキャパシタ下部電極となる金属膜（例えばルテニウム）4cとエッチング時のマスクとなる酸化シリコン膜15を成膜する。そして、図5(c)に示すように、写真製版の手法を用いてレジストパターン16aを形成して酸化シリコン膜15をエッチングする。続いて、図5(d)に示すように、レジストパターン16aを除去し、酸化シリコン膜15をマスクにして金属膜4cを加工する。ここでさらに写真製版工程を追加して、引き出し電極4b部にレジストパターン16bを形成して、酸化シリコン膜15を除去する。ここで、レジストパターン16bで覆われた金属材料4cは前述の引き出し電極4bとなる。

【0023】この後、図6(a)に示すようにレジストパターン16bを除去してキャパシタ誘電体膜5及び上部金属電極6を成膜し、キャパシタを形成する。このキャパシタ誘電体膜5は、従来の酸化シリコン膜あるいはシリコン窒化酸化膜に代えて Ta_2O_5 、 $(Pb_xZr_{1-x})TiO_3$ 、 $(Ba_xSr_{1-x})TiO_3$ 、 $SrTiO_3$ 等を用いているが、その他類似の酸化シリコン膜等の従来材料より比誘電率の大きい材料であればいずれでもよい。次に、図6(b)に示すようにキャパシタ誘電体膜5及び上部金属電極6のうちのキャパシタ領域以外の部分を写真製版で形成したレジストパターンをマスクにして除去する。この時キャパシタ領域以外の引き出し電極4bは、酸化シリコン膜15で覆われているためエッチングから保護される。ここで、キャパシタ上部金属電極6には通常キャパシタ下部電極4と同じ材料が使用されるが、その他の材料を用いてもよい。

【0024】最後に、図6(c)に示すように通常の配線形成プロセスと同様の手法により、第2の層間絶縁膜8、第1コンタクトプラグ10及び第1のA1配線9を形成する。第1及び第2の層間絶縁膜3、8には通常酸化シリコン膜が用いられるが、配線同士の絶縁を確保できるものであれば酸化シリコン膜以外のものを用いてもよい。更に第1のA1配線9はA1だけに限定するものではなく、より配線抵抗を低減したり信頼性を向上させ

るためにCu等に変更してもよい。

【0025】本実施の形態では、キャパシタ下部電極4と半導体基板1を接続させるストレージコンタクトプラグ7と引き出し電極4bと半導体基板1を接続させるストレージコンタクトプラグ7とを同時に形成することができるため、製造工程を少なくすることができる。

【0026】また、本実施の形態では、図3に示す半導体記憶装置の製造工程を説明したが、図5(c)の工程において、配線部の部分にもレジストし、以下同様に行うことにより図4に示した半導体記憶装置を製造させることができる。さらに、ストレージコンタクトプラグ7を形成する工程を省略して、図1に示した半導体記憶装置、第1コンタクトプラグ10を形成する工程を省略して図2に示した半導体記憶装置を製造させることができる。

【0027】実施の形態5. 図7、図8は本実施の形態の半導体記憶装置の製造プロセスを示す図である。以下にこの発明の構造を作製するプロセスフローを図6に従って説明する。図7(a)～(c)に示すように、図5(a)～(c)に示した実施の形態4と同様にして第1の層間絶縁膜3上に金属膜4c、酸化シリコン膜15を形成させ、その後、ストレージコンタクトプラグ7を覆う部分以外の酸化シリコン膜15を除去する。続いて、図7(d)に示すように、酸化シリコン膜15をマスクにして金属膜4cを加工し、その後、レジストパターン16aと酸化シリコン膜15を除去する。

【0028】この後、図8(a)に示すように、キャパシタ誘電体膜5及び上部金属電極6を成膜し、キャパシタを形成する。次に、図8(b)に示すようにキャパシタ誘電体膜5及び上部金属電極6のうちのキャパシタ領域と引き出し電極4b以外の部分を写真製版で形成したレジストパターンをマスクにして除去する。最後に、図8(c)に示すように通常の配線形成プロセスと同様の手法により、第2の層間絶縁膜8、第1コンタクトプラグ10及び第1のA1配線9を形成する。

【0029】本実施の形態では、キャパシタ下部電極4と半導体基板1を接続させるストレージコンタクトプラグ7と引き出し電極4bと半導体基板1を接続させるストレージコンタクトプラグ7とを同時に形成することができるため、製造工程を少なくすることができる。更に、実施の形態4では、引き出し電極部4bを形成させるためにレジストパターン16bを形成させ、酸化シリコン膜15を除去後にレジストパターン16bを除去しているのに対し、本実施の形態では、レジストパターン16bを用いず、図8(b)に示すようにキャパシタ部と引き出し電極部4b以外のキャパシタ誘電体膜5及び上部金属電極6を除去しているため、実施の形態4に比べて工程数を少なくさせることができる。

【0030】本実施の形態では、図3に示す半導体記憶装置の製造工程を説明したが、図7(c)の工程におい

て、配線部の部分にもレジスト膜を形成し、図8(b)の工程において、キャパシタ誘電体膜5及び上部金属電極6のうちのキャパシタ領域と配線部以外の部分を写真製版で形成したレジストパターンをマスクにして除去し、以下同様に行うことにより図4に示した半導体記憶装置を製造させることができる。さらに、ストレージコンタクトプラグ7を形成する工程を省略して、図1に示した半導体記憶装置、第1コンタクトプラグ10を形成する工程を省略して図2に示した半導体記憶装置を製造させることができる。

【0031】

【発明の効果】この発明は以上説明したように構成されているので、以下に示すような効果を奏する。キャパシタを形成する層に引き出し電極を形成させたので、配線層と半導体基板あるいはゲート電極の接続する接続孔の深さを引き出し電極により実効的に浅くできるため、接続孔の形成が容易になるだけでなく、歩留まりの向上も期待できる。さらに引き出し電極の一部あるいは全部を配線層と兼用することでプロセス工程数の大幅な削減が可能となり、コストの低減や歩留まりの向上が期待できる。また、キャパシタ下部電極と半導体基板を接続させるストレージコンタクトプラグと引き出し電極と半導体基板を接続させるストレージコンタクトプラグとを同時に形成することができるため、製造工程を少なくすることができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1の半導体記憶装置を示す断面構造図である。

【図2】 本発明の実施の形態2の半導体記憶装置を示す断面構造図である。

【図3】 本発明の実施の形態3の半導体記憶装置を示す断面構造図である。

【図4】 本発明の実施の形態3の半導体記憶装置を示す断面構造図である。

【図5】 本発明の実施の形態4の半導体記憶装置の製造工程図である。

【図6】 本発明の実施の形態4の半導体記憶装置の製造工程図である。

【図7】 本発明の実施の形態4の半導体記憶装置の製造工程図である。

【図8】 本発明の実施の形態4の半導体記憶装置の製造工程図である。

【図9】 従来の半導体記憶装置を示す断面構造図である。

【図10】 従来の半導体記憶装置を示す断面構造図である。

【符号の説明】

1	半導体基板	2a	トランジスタゲート電極
2b	ビット線	2c	素子分離

層

3 第1の層間絶縁膜
 タ下部電極
 4 a 配線部
 電極部
 4 c 金属膜
 タ誘電体膜
 6 キャパシタ上部電極
 ジコンタクトプラグ
 8 第2の層間絶縁膜

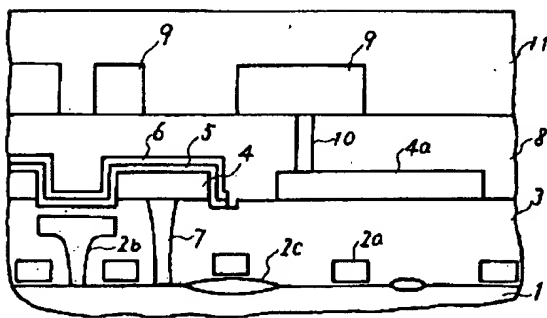
4 キャパシ
 4 b 引き出し
 5 キャパシ
 7 ストレ
 9 第1のA

1 配線

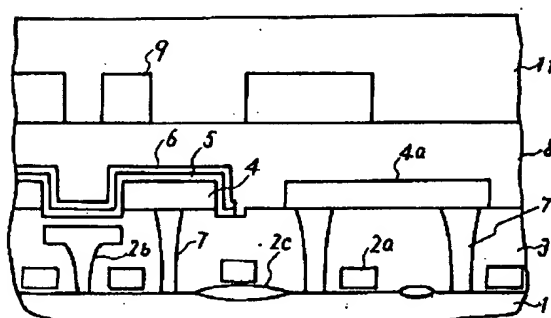
10 第1コンタクトプラグ
 12 第2のA1配線
 タクトプラグ
 14 第4の層間絶縁膜
 コン膜
 16 a レジストパターン1
 トパターン2

11 第3の層
 13 第2コン
 15 酸化シリ
 16 b レジス

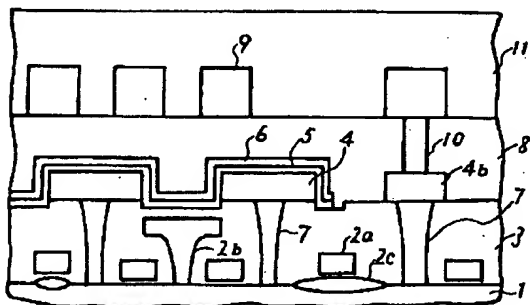
【図1】



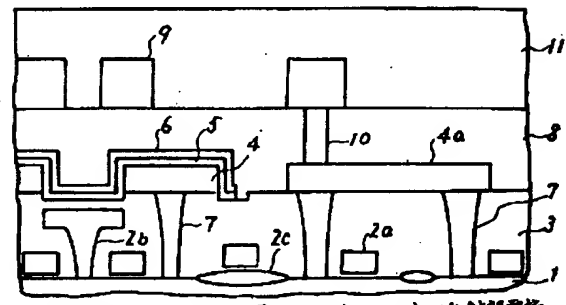
【図2】



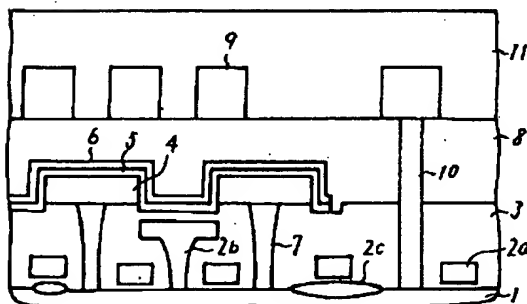
【図3】



【図4】

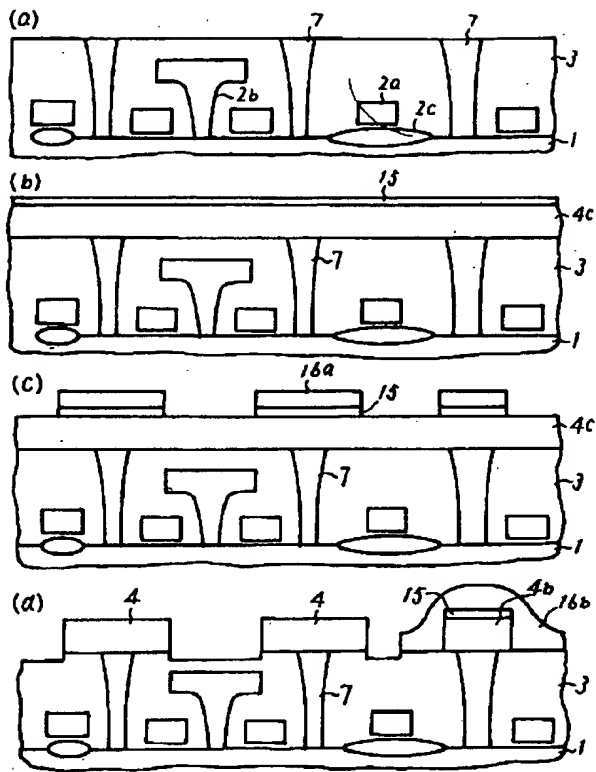


【図9】

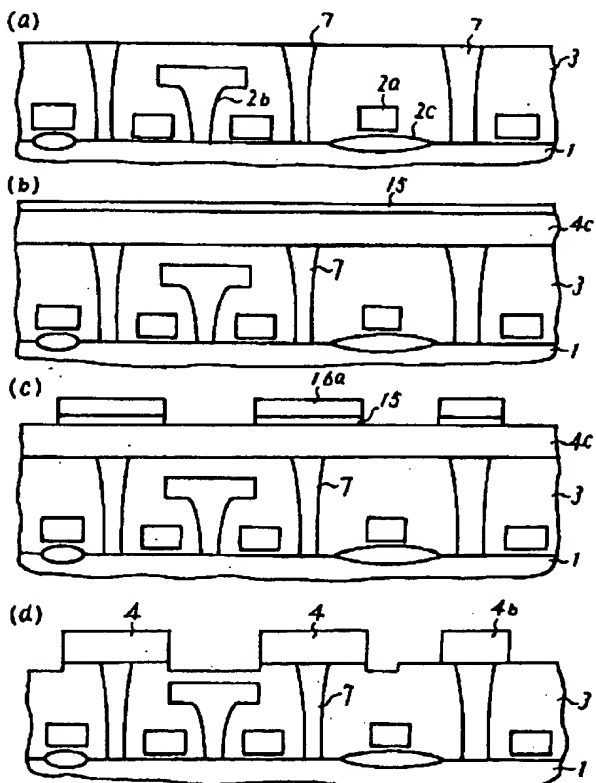


1: 半導体基板 3: 第1の層間絶縁膜 6: キャパシタ上部電極
 2a: トランジスタ電極 4: キャパシタ下部電極 7: ストレスコンタクトプラグ
 2b: ヒット線 4a: 配線部 8: 第2の層間絶縁膜
 2c: 素子分離層 5: キャパシタ誘電体膜 9: 第1のA配線
 10: 第1コンタクトプラグ

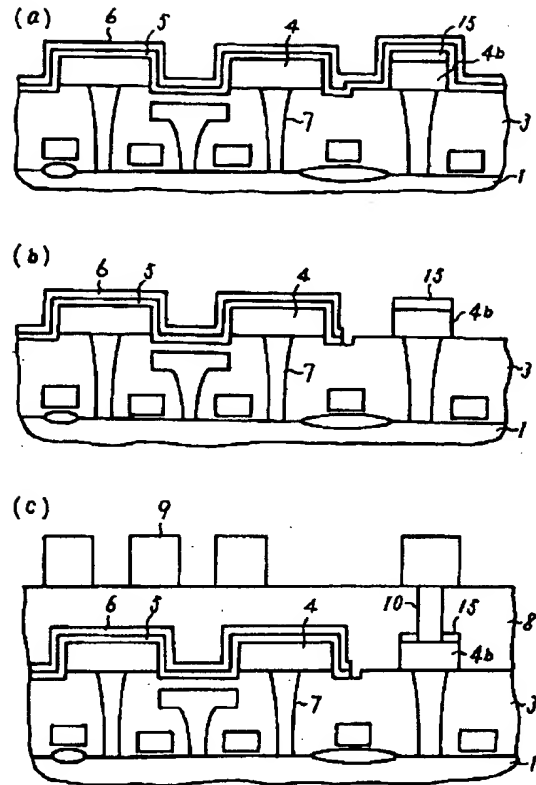
【図5】



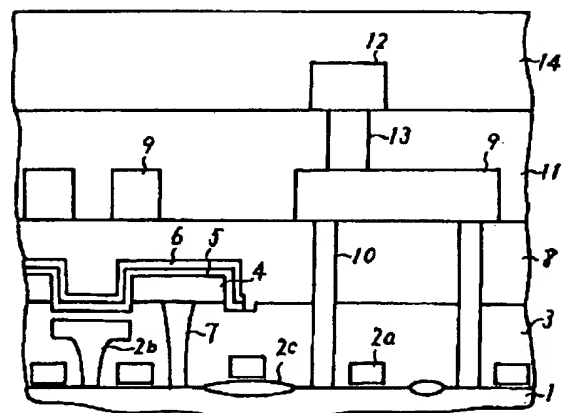
【図7】



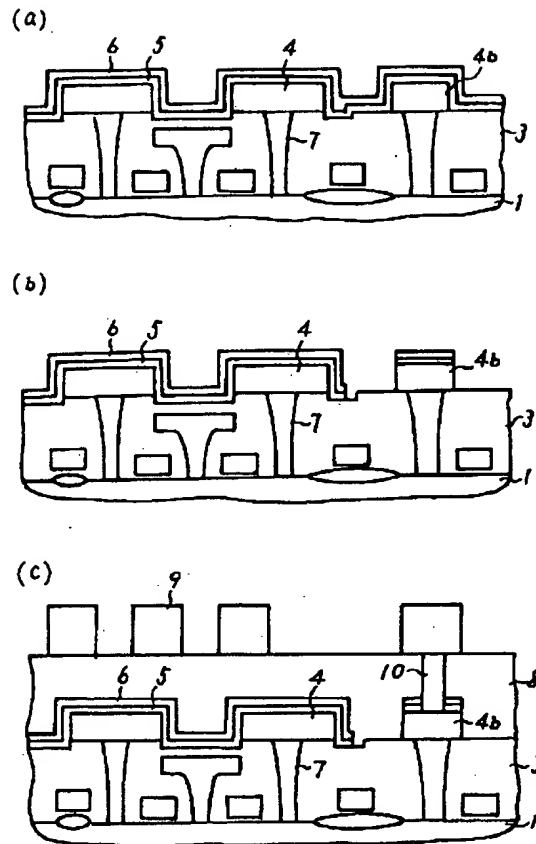
【図6】



【図10】



【図 8】



【手続補正書】

【提出日】平成 8 年 4 月 1 1 日

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】請求項 1 0

【補正方法】変更

【補正内容】

【請求項 1 0】 半導体基板上に半導体素子を形成する工程と、前記半導体素子上に第 1 の層間絶縁膜を形成する工程と、前記第 1 の層間絶縁膜中に第 1 の貫通孔を設け、前記第 1 の貫通孔に第 1 の導電体を埋設する工程と、前記第 1 の層間絶縁膜上に金属膜を形成し、この金属膜上の前記貫通孔を覆う部分にマスクを形成するマスク形成工程と、前記マスクを形成した部分を残して前記金属膜を除去し、導電部と記憶容量素子の下部電極を形成する金属膜除去工程と、前記マスクを除去するマスク除去工程と、前記導電部、前記記憶容量素子の下部電極及び前記第 1 の層間絶縁膜上に誘電体膜を形成し、前記誘電体膜上に電極膜を形成する工程と、前記第 1 の層間絶縁膜上の前記誘電体膜及び前記電極膜を除去し、記憶容量素子を形成する記憶容量素子形成工程と、前記導電

部、前記記憶容量素子及び前記第 1 の層間絶縁膜上に第 2 の層間絶縁膜を形成する層間絶縁膜形成工程とを含むことを特徴とする半導体記憶装置の製造方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 2

【補正方法】変更

【補正内容】

【0 0 1 2】また、半導体基板上に半導体素子を形成する工程と、この半導体素子上に第 1 の層間絶縁膜を形成する工程と、この第 1 の層間絶縁膜中に第 1 の貫通孔を設け、この第 1 の貫通孔に第 1 の導電体を埋設する工程と、第 1 の層間絶縁膜上に金属膜を形成し、この金属膜上の貫通孔を覆う部分にマスクを形成するマスク形成工程と、このマスクを形成した部分を残して金属膜を除去し、導電部と記憶容量素子の下部電極を形成する金属膜除去工程と、マスクを除去するマスク除去工程と、導電部、記憶容量素子の下部電極及び第 1 の層間絶縁膜上に誘電体膜を形成し、この誘電体膜上に電極膜を形成する工程と、第 1 の層間絶縁膜上の誘電体膜及び電極膜を除

去し、記憶容量素子を形成する記憶容量素子形成工程と、導電部、記憶容量素子及び第 1 の層間絶縁膜上に第 2 の層間絶縁膜を形成する層間絶縁膜形成工程とを含むものである。さらに、層間絶縁膜形成工程は、導電部、記憶容量素子及び第 1 の層間絶縁膜上に第 2 の層間絶縁膜を形成する工程と、導電部を第 2 の層間絶縁膜の一面

に開口する第 2 の貫通孔を第 2 の層間絶縁膜中に形成する工程と、この第 2 の貫通孔に第 2 の導電体を埋設する工程と、第 2 の層間絶縁膜上の第 2 の導電体上に電極を形成する工程とを含むものである。さらにまた、導電部は、複数の貫通孔に埋設された導電体を接続する配線部である。

フロントページの続き

(51) Int. Cl. ⁶

識別記号

序内整理番号

F I

H 0 1 L 27/10

技術表示箇所

6 8 1 F